

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-027965

(43)Date of publication of application : 29.01.1999

(51)Int.Cl.

H02N 2/00

H01L 41/09

H03K 17/66

(21)Application number : 09-174396

(71)Applicant : NIKON CORP

(22)Date of filing : 30.06.1997

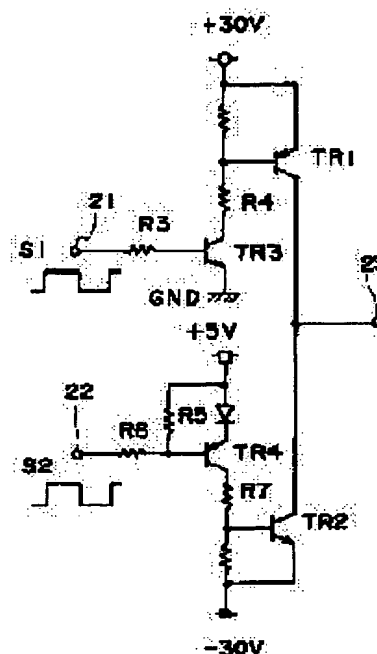
(72)Inventor : GONDA TSUNEMI

(54) DRIVE FOR CAPACITIVE LOAD

(57)Abstract:

PROBLEM TO BE SOLVED: To conduct control with the switching signal of a digital IC which is used generally complementarily opening and closing the third and fourth switching elements with the switching signal involving a signal level, based on the potentials of the third and fourth power sources.

SOLUTION: A switching circuit is provided with the emitter terminal of a PNP transistor TR1 connected to the first power source (+30 V), the emitter terminal of a NPN transistor TR2 connected to the second power source (-30 V), the emitter terminal of a NPN transistor (third switching element) TR3 connected to the third power source GND (ground), and the emitter terminal of a PNP transistor (fourth switching element) TR4 connected to the fourth power source (+5 V) through a diode. It is thus possible to supply a drive voltage of high potential to capacitive load such as a piezoelectric element and generate and control its control signal with a digital IC, which used generally for a logical circuit or the like.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-27965

(43) 公開日 平成11年(1999) 1月29日

(51) Int.Cl.⁶

識別記号

F I

H 0 2 N 2/00

H 0 2 N 2/00

C

H 0 1 L 41/09

H 0 3 K 17/66

C

H 0 3 K 17/66

H 0 1 L 41/08

C

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願平9-174396

(22) 出願日 平成9年(1997) 6月30日

(71) 出願人 000004112

株式会社ニコン

東京都千代田区丸の内3丁目2番3号

(72) 発明者 楠田 常躬

東京都千代田区丸の内3丁目2番3号 株

式会社ニコン内

(74) 代理人 弁理士 永井 冬紀

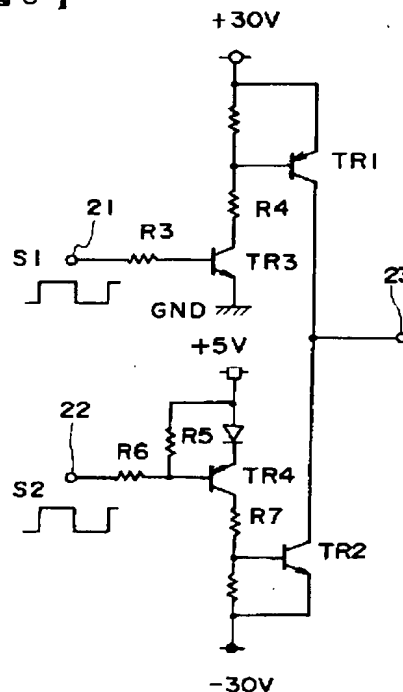
(54) 【発明の名称】 容量性負荷の駆動装置

(57) 【要約】

【課題】 論理回路などに一般に使用されるデジタル I C のスイッチング信号により制御されることを可能とする容量性負荷駆動装置を提供すること。

【解決手段】 容量性負荷に相互に相補型の第1のスイッチング素子と第2のスイッチング素子を介して高電圧の駆動電圧を供給し、第1のスイッチング素子は第3のスイッチング素子によりスイッチング制御され、第2のスイッチング素子は第3のスイッチング素子と相補型の第4のスイッチング素子によりスイッチング制御され、第3のスイッチング素子および第4のスイッチング素子は、デジタル I C の信号レベルでスイッチング制御される。

【図5】



【特許請求の範囲】

【請求項 1】第 1 の電源と第 2 の電源との間に直列接続された互いに相補型の第 1 および第 2 のスイッチング素子と、

前記第 1 のスイッチング素子を開閉する第 3 のスイッチング素子と、

前記第 3 のスイッチング素子と相補型でありかつ前記第 2 のスイッチング素子を開閉する第 4 のスイッチング素子とを備え、前記第 1 および第 2 のスイッチング素子の接続点に容量性負荷を接続する容量性負荷駆動装置にお

いて、
前記第 3 のスイッチング素子は、前記第 1 の電源と第 2 の電源の間の電位を有し、自己のスイッチングの基準となる第 3 の電源に接続され、

前記第 4 のスイッチング素子は、前記第 1 の電源と第 2 の電源の間の電位を有し、自己のスイッチングの基準となる第 4 の電源に接続され、

前記第 3 および第 4 のスイッチング素子は、前記第 3 の電源と前記第 4 の電源の電位に基づく信号レベルを有するスイッチング信号により相補に開閉されることを特徴とする容量性負荷駆動装置。

【請求項 2】ハイ信号レベルとロー信号レベルとを有するスイッチング信号に応じて容量性負荷の充放電を行わせる容量性負荷駆動装置において、

第 1 の電源にエミッタを接続し、容量性負荷にコレクタを接続する第 1 の PNP トランジスタと、

第 2 の電源にエミッタを接続し、コレクタを前記第 1 の PNP トランジスタのコレクタおよび容量性負荷に接続する第 1 の NPN トランジスタと、

前記第 1 の PNP トランジスタのベースにコレクタを接続し、第 3 の電源にエミッタを接続し、ベースに接続される第 1 の端子にスイッチング信号が入力される第 2 の NPN トランジスタと、

前記第 1 の NPN トランジスタのベースにコレクタを接続し、第 4 の電源にエミッタを接続し、ベースに接続される第 2 の端子にスイッチング信号が入力される第 2 の PNP トランジスタと、

前記第 1 の端子と前記第 3 の電源との間に挿入される前記第 2 の NPN トランジスタのベース電流を規定する第 1 の抵抗素子と、

前記第 2 の端子と前記第 4 の電源との間に挿入される前記第 2 の PNP トランジスタのベース電流を規定する第 2 の抵抗素子と、

前記第 1 の PNP トランジスタのベースと前記第 3 の電源との間に挿入されて、前記第 1 の PNP トランジスタのベース電流を規定する第 3 の抵抗素子と、

前記第 1 の NPN トランジスタのベースと前記第 4 の電源との間に挿入されて、前記第 1 の NPN トランジスタのベース電流を規定する第 4 の抵抗素子とを備え、

前記第 3 の電源の電位は、スイッチング信号のロー信号

レベルの基準となる電位の電源でありかつ前記第 1 の電源の電位よりも低く、

前記第 4 の電源の電位は、スイッチング信号のハイ信号レベルの基準となる電位の電源でありかつ前記第 2 の電源の電位よりも高いことを特徴とする容量性負荷駆動装置。

【請求項 3】請求項 1 または 2 記載の容量性負荷装置において、

前記第 4 の電源はスイッチング信号を生成するために使用される論理回路用電源のプラス電位側であり、前記第 3 の電源はこの論理回路用電源のグランド電位側であることを特徴とする容量性負荷駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、容量性負荷の駆動装置、特に振動アクチュエータにおける圧電素子などの容量性負荷を駆動する駆動装置に関する。

【0002】

【従来の技術】弾性体の表面に例えば圧電素子を接合し、この圧電素子に駆動電圧を印加して弾性体に複数の振動モードを調和的に発生させ、これにより弾性体表面に物理的な楕円運動を発生させ、この弾性体に加圧接触される相対運動部材を駆動する振動アクチュエータが知られている。この種の振動アクチュエータにおいて、超音波の振動域を利用したものを超音波振動アクチュエータあるいは超音波モータと呼ばれている。

【0003】上記振動アクチュエータを駆動する場合、一般に駆動用超音波電源は低電位の直流電源を半導体によりスイッチング動作をさせ昇圧トランスにより高電圧に昇圧して供給している。しかし、オープンループでありかつスイッチングトランスは巻き線によるインピーダンスを持つために振動アクチュエータの負荷変動等による電流変化が、出力電圧変化を誘導し結果として速度変動、トルク変動等を来し振動アクチュエータの各種の制御性能を低下させる原因となる。

【0004】また、図 7 に示すように高電圧を直接半導体素子で制御する容量性負荷駆動装置がある（例えば、特開平 9 - 9 6 5 0 号公報）。図 7 の容量性負荷駆動装置は、差動増幅器 5 0 1 から 0 V を中心として上下に変動する制御信号 V_e を出力することにより圧電素子である容量性負荷 5 0 2 の充放電動作を行わせるものである。

【0005】動作を簡単に説明すると、差動増幅器 5 0 1 からの制御信号 V_e がグランド端子 5 0 4 に対して + 0. 6 V 程度以上になると NPN トランジスタ 5 0 3 のベース・エミッタ間にベース電流が流れ始め、それに応じてコレクタ電流が流れる。このコレクタ電流は PNP トランジスタ 5 0 5 のベース電流となりこのベース電流に応じて PNP トランジスタ 5 0 5 のコレクタ電流が流れ、容量性負荷 5 0 2 に正電源 5 0 6 から駆動電圧が供

給される。このとき、PNPトランジスタ507にも制御信号 V_e が印加されるが、0.6V程度以上であるのでベース電流は流れずPNPトランジスタ507は動作しない。PNPトランジスタ507が動作しないとNPNトランジスタ508にもベース電流は流れずNPNトランジスタ508はオフ状態である。

【0006】次に、差動増幅器501からの制御信号 V_e がグランド端子504に対して-0.6V程度以下になるとPNPトランジスタ507のエミッタ・ベース間にベース電流が流れ、それに応じてコレクタ電流が流れる。このコレクタ電流はNPNトランジスタ508のベース電流となりこのベース電流に応じてNPNトランジスタ508にコレクタ電流が流れ、容量性負荷502に充電された電位は負電源509に向けて放電がなされると共に逆方向に充電される。すなわち、容量性負荷502に負電源509から負の駆動電圧が供給されることになる。このとき、NPNトランジスタ503にも制御信号 V_e が印加されるが、-0.6V程度以下であるのでベース電流は流れずNPNトランジスタ503は動作しない。NPNトランジスタ503が動作しないとPNPトランジスタ505にもベース電流は流れずPNPトランジスタ505はオフ状態である。

【0007】このようにして、低電位の差動増幅器501の出力信号により、容量性負荷502に電源506、509で規定される高電位の電圧を供給することができる。トランジスタ等の耐圧にもよるが数100Vの駆動電圧を制御することができる。従って、この種の容量性負荷駆動装置を振動アクチュエータに使用すると上述した昇圧トランスを使用する必要がなく、昇圧トランスによる前記問題点を解決することができる。

【0008】

【発明が解決しようとする課題】しかし、振動アクチュエータでは容量性負荷である圧電素子に印加する駆動電圧は、一定の周波数を有する周期信号である。従って、その周期信号を制御するには一般のロジック回路に使用される5V電源等で動作するデジタルICを使用すると便利である。ところが、上記の図7の回路では、制御信号を±に振る必要があり、上述した一般のデジタルICを使用することが難しい。また、図7の回路は、各トランジスタの非飽和領域の特性を利用するものであり、デジタルICを利用したデジタル信号によるスイッチング制御を有効に行うことができない。

【0009】本発明の目的は、論理回路などに一般に使用されるデジタルICのスイッチング信号により制御されることを可能とする容量性負荷駆動装置を提供することにある。

【0010】

【課題を解決するための手段】実施の形態を示す図5に対応づけて本発明を説明する。上記目的を達成するために、請求項1の発明は、第1の電源+30Vと第2の電

源-30Vとの間に直列接続された互いに相補型の第1および第2のスイッチング素子TR1、TR2と、第1のスイッチング素子TR1を開閉する第3のスイッチング素子TR3と、第3のスイッチング素子TR3と相補型でありかつ第2のスイッチング素子TR2を開閉する第4のスイッチング素子TR4とを備え、第1および第2のスイッチング素子TR1、TR2の接続点23に容量性負荷を接続する容量性負荷駆動装置に適用され、第3のスイッチング素子TR3は、第1の電源+30Vと第2の電源-30Vの間の電位を有し、自己のスイッチングの基準となる第3の電源GNDに接続され、第4のスイッチング素子TR4は、第1の電源+30Vと第2の電源-30Vの間の電位を有し、自己のスイッチングの基準となる第4の電源+5Vに接続され、第3および第4のスイッチング素子TR3、TR4は、第3の電源GNDと第4の電源+5Vの電位に基づく信号レベルを有するスイッチング信号により相補に開閉されるものである。請求項2の発明は、ハイ信号レベルとロー信号レベルとを有するスイッチング信号に応じて容量性負荷の充放電を行わせる容量性負荷駆動装置に適用され、第1の電源+30Vにエミッタを接続し容量性負荷にコレクタを接続する第1のPNPトランジスタTR1と、第2の電源-30Vにエミッタを接続しコレクタを第1のPNPトランジスタTR1のコレクタおよび容量性負荷に接続する第1のNPNトランジスタTR2と、第1のPNPトランジスタTR1のベースにコレクタを接続し第3の電源GNDにエミッタを接続しベースに接続される第1の端子21にスイッチング信号が入力される第2のNPNトランジスタTR3と、第1のNPNトランジスタTR2のベースにコレクタを接続し第4の電源+5Vにエミッタを接続しベースに接続される第2の端子22にスイッチング信号が入力される第2のPNPトランジスタTR4と、第1の端子21と第3の電源GNDとの間に挿入される第2のNPNトランジスタTR3のベース電流を規定する第1の抵抗素子R3と、第2の端子22と第4の電源+5Vとの間に挿入される第2のPNPトランジスタTR4のベース電流を規定する第2の抵抗素子R6と、第1のPNPトランジスタTR1のベースと第3の電源GNDとの間に挿入されて、第1のPNPトランジスタTR1のベース電流を規定する第3の抵抗素子R4と、第1のNPNトランジスタTR2のベースと第4の電源+5Vとの間に挿入される第1のNPNトランジスタTR2のベース電流を規定する第4の抵抗素子R7とを備え、第3の電源GNDの電位はスイッチング信号のロー信号レベルの基準となる電位の電源でありかつ第1の電源+30Vの電位よりも低く、第4の電源+5Vの電位はスイッチング信号のハイ信号レベルの基準となる電位の電源でありかつ第2の電源-30Vの電位よりも高くするものである。請求項3の発明は、請求項1または2記載の容量性負荷装置において、第4の電

源 + 5 V はスイッチング信号を生成するために使用される論理回路用電源のプラス電位側であり、第 3 の電源 GND はこの論理回路用電源のグランド電位側としたものである。

【0011】なお、上記課題を解決するための手段の項では、分かりやすく説明するため実施の形態の図 5 と対応づけたが、これにより本発明が実施の形態に限定されるものではない。

【0012】

【発明の実施の形態】図 1 は振動アクチュエータ 1 を駆動する駆動装置の実施の形態の構成図である。図 2 はこの振動アクチュエータ 1 の概略構成を説明する斜視図である。

【0013】図 2 において、振動アクチュエータ 1 は、弾性体 101 の表面に 2 個の圧電素子 102、103 が接着接合され、この圧電素子 102、103 に位相の異なる駆動電圧を印加することにより弾性体 101 に複数の振動モードを調和的に発生させ、駆動力取り出し部 104、105 に物理的な楕円運動を発生させ、この駆動力取り出し部 104、105 に不図示の付勢部材により加圧接触される相対運動部材 106 を相対運動させて駆動するものである。107、108 は弾性体 101 の振動状態をモニタする振動モニタ用圧電素子である。以上の動作原理は公知であるので詳細な説明は省略する（例えば特開平 8 - 184769 号公報を参照）。

【0014】この振動アクチュエータ 1 の 2 個の圧電素子 102、103 に印加する駆動電圧を発生させる駆動装置について、以下図 1 ~ 図 5 を使用して詳細に説明する。

【0015】図 1 は、本発明の第 1 の実施の形態である駆動装置の構成を示す構成図である。この駆動装置は、駆動電圧の周波数を規定する発振回路 2 と、2 個の圧電素子 102、103 へ互いに位相の異なる信号を印加するために異なる位相信号を生成する移相回路 3 と、ディレイ回路 4 A、4 B と、半導体素子を用いたスイッチング回路 5 A、5 B とを備えている。発振回路 2 で生成された一定の周波数を有する信号は、移相回路 2 で $\pi/2$ 位相の異なる 2 つの信号とされる。これらの信号はディレイ回路 4 A、4 B にそれぞれ入力され、スイッチング回路 5 A、5 B における出力トランジスタのオンが重ならないように遅延がかけられた上で、スイッチング回路 5 A、5 B に入力される。スイッチング回路 5 A、5 B は、入力された信号に基づき内部の半導体素子を動作させることにより最大値約 ± 30 V の値を持つ駆動電圧を生成する。

【0016】図 3 は、発振回路 2 と移相回路 3 において $\pi/2$ 位相が異なる 2 つの信号が生成される様子を説明するタイミングチャートである。発振回路 2 から出力される一定周波数のパルス信号は、移相回路 3 を構成する 2 個の D タイプフリップフロップ 9、10 にクロック信

号として入力される。2 個の D タイプフリップフロップ 9、10 はその出力 Q、NQ とデータ入力端子 D とがたすきがけに接続され、図 3 の Q1、Q2 の信号が生成されるように構成されている。すなわち、信号 Q1、Q2 は共にクロック 4 個分で 1 周期を構成し、信号 Q1 と信号 Q2 は丁度 $1/4$ 周期分すなわち $\pi/2$ 位相がずれている。信号 Q1 はディレイ回路 4 A に、信号 Q2 は XOR ゲート 6 を経由してディレイ回路 4 B にそれぞれ入力される。

【0017】ディレイ回路 4 A とディレイ回路 4 B は、同一の構成による回路であり、後述するスイッチング回路 5 A、5 B の 2 個の出力トランジスタのオンオフの切り替わり時において、同時にオンする状態を確実に防止するためそれぞれの信号にディレイを持たせる回路である。図 4 は、ディレイ回路 4 A、4 B の動作を説明するタイミングチャートである。以下、図 1、図 4 を使用して、移相回路 3 により生成された信号 Q1 について、ディレイ回路 4 A の動作を説明する。信号 Q2 およびディレイ回路 4 B は考え方は同様であるのでその説明を省略する。ディレイ回路 4 A、4 B に入力される信号 D/S は、本駆動装置をドライブ状態にするかストップ状態にするかを決定する信号であり、ここでの説明では常にドライブ状態すなわちハイ (HIGH) 信号が入力されている前提で説明を進める。駆動装置による駆動を止めたい場合は信号 D/S をロー (LOW) にすればよい。

【0018】3 入力の AND ゲート 7 には、この信号 D/S、信号 Q1、および信号 Q1 に対して抵抗 R1 とコンデンサ C1 の時定数で規定される時間 t のディレイを持たせた信号 QD1 が入力される。信号 D/S は常にハイ (HIGH) であり、信号 Q1 と信号 QD1 の AND が取られた信号 S1 が生成される。NAND ゲート 8 には、信号 D/S、信号 Q1 の反転信号 QN1、および信号 QN1 を上記と同様に抵抗 R2 とコンデンサ C2 の時定数で規定される時間 t のディレイを持たせた信号 QND1 が入力される。抵抗 R1 と R2 およびコンデンサ C1 と C2 は同じ値でよい。信号 D/S は常にハイ (HIGH) であり、信号 QN1 と信号 QND1 の NAND が取られた信号 S2 が生成される。

【0019】上記により、図 4 に示す通り、信号 S1 の立ち下がり時と信号 S2 の立ち下がり時および信号 S2 の立ち上がり時と信号 S1 の立ち上がり時両方において時間 t の間隔を有し、信号 S1 のハイ (HIGH) 信号と信号 S2 のロー (LOW) 信号は確実に重ならないように生成される。信号 S1 および信号 S2 はスイッチング回路 5 A に入力される。

【0020】図 5 はスイッチング回路 5 A の原理図である。スイッチング回路 5 B も同じ構成である。図 5 において、PNP トランジスタ TR1 のエミッタ端子は +30 V の電源に、NPN トランジスタ TR2 のエミッタ端子は -30 V の電源に NPN トランジスタ TR3 のエミ

ッタ端子はGND（接地）に、PNPトランジスタTR 4のエミッタ端子はダイオードを経由して+5 V電源に、それぞれ接続されている。前述の移相回路3およびディレイ回路4 Aで使用されているフリップフロップやゲートは一般の論理（ロジック）回路に使用される+5 V電源で動作するデジタルICであり、例えばTTLやCMOS素子である。従って、ハイ（HIGH）信号は4 V前後の電位を持ち、ロー（LOW）信号は0. 5 V前後の電位を有する。

【0021】端子21にディレイ回路4 Aから信号S1のハイ（HIGH）信号が入力されると、NPNトランジスタTR 3のベース・エミッタ間に抵抗R3で規定されるベース電流が流れ、NPNトランジスタTR 3はオンする。NPNトランジスタTR 3がオンするとPNPトランジスタTR 1のエミッタ・ベース間に抵抗R4で規定されるベース電流が流れPNPトランジスタTR 1はオンする。PNPトランジスタTR 1がオンすると端子23に約+30 Vの電圧が供給される。

【0022】端子21に inputsする信号S1がハイ（HIGH）になると、端子22に inputsする信号S2も同様にハイ（HIGH）信号となる。PNPトランジスタTR 4のベース端子にハイ（HIGH）信号が入力されると抵抗R5で+5 V電源にプルアップされているため、PNPトランジスタTR 4のエミッタ・ベース間にはベース電流が流れず、PNPトランジスタTR 4はオフされる。PNPトランジスタTR 4がオフされているとNPNトランジスタTR 2のベース・エミッタ間のベース電流も流れず、NPNトランジスタTR 2はオフされる。従って、PNPトランジスタTR 1がオンしNPNトランジスタTR 2はオフされるので、端子23には約+30 Vの電圧が供給される。

【0023】次に、端子21に信号S1のロー（LOW）信号が入力されると、NPNトランジスタTR 3のベース・エミッタ間にはオンするだけの十分なベース電流が流れず、NPNトランジスタTR 3はオフ状態である。NPNトランジスタTR 3がオフであるとPNPトランジスタTR 1のエミッタ・ベース間のベース電流も流れずPNPトランジスタTR 1はオフする。

【0024】信号S1にロー（LOW）信号が入力されているときは、信号S2にもロー（LOW）信号が入力されている。PNPトランジスタTR 4のベース端子にロー（LOW）信号が入力されるとPNPトランジスタTR 4のエミッタ・ベース間には抵抗R6で規定されるベース電流が流れ、PNPトランジスタTR 4はオンされる。PNPトランジスタTR 4がオンするとNPNトランジスタTR 2のベース・エミッタ間に抵抗R7で規定されるベース電流が流れ、NPNトランジスタTR 2がオンされる。NPNトランジスタTR 2がオンすると端子23は-30 Vの電源と導通状態になる。

【0025】従って、PNPトランジスタTR 1がオフ

しNPNトランジスタTR 2はオンしているので、端子23は-30 V電源と導通状態になり、約-30 Vの電圧が供給されることになる。

【0026】上記のようにして、5 V以下の振幅を有するスイッチング信号のハイ（HIGH）／ロー（LOW）信号により端子23に約±30 Vでスイッチングされる高駆動電圧の供給を可能としている。上記において、PNPトランジスタTR 1がオンしているときはNPNトランジスタTR 2はオフしており、PNPトランジスタTR 1がオフしているときはNPNトランジスタTR 2はオンしているが、さらに、図4のt時間の間は両トランジスタとも共にオフとなる。従って、両トランジスタのオンオフの切り替わり時に過度的に両トランジスタを貫通する電流が流れることがなく、無駄な電力を消費せず、また過度な電流によりトランジスタなどの素子を破壊したり信頼性を低下させたりすることもない。

【0027】上記により生成された約±30 Vのスイッチングされた駆動電圧は、図1において、スイッチング回路5 AからはA相信号として振動アクチュエータ1の一つの圧電素子に供給され、スイッチング回路5 BからはA相信号に対して $\pi/2$ 位相がずれたB相信号として振動アクチュエータ1の他の圧電素子に供給される。図1の信号R/Lは不図示の制御回路から供給される信号であり、振動アクチュエータの駆動方向を、右方向あるいは左方向（回転型振動アクチュエータにあっては右回転か左回転）かを規定するものである。すなわち、信号R/Lがハイ（HIGH）かロー（LOW）かによって、図3の信号Q2を反転させるかしないかを決め、それによりディレイ回路4 Bに inputsされる信号Q2を信号Q1に対して $\pi/2$ 位相を遅らせた信号にするか、 $\pi/2$ 位相を進めた信号にするかを決める。これにより、振動アクチュエータ1の駆動方向を制御することができる。

【0028】図6は、図5の原理図を実際の適用回路に近い形で表した回路図である。図5におけるPNPトランジスタTR 1およびNPNトランジスタTR 2が、それぞれ2段のPNPトランジスタTR 5、TR 6およびNPNトランジスタTR 7、TR 8で構成されている。動作原理としては図5と同様であるのでその説明を省略する。

【0029】このようにして、出力に昇圧トランスを使用しなくても圧電素子などの容量性負荷に高電位の駆動電圧を供給することを可能にするとともに、その制御信号を論理回路などに一般に使用されるデジタルICにより容易に生成して制御することができる。

【0030】なお、上記実施の形態ではNPNトランジスタ、PNPトランジスタのバイポーラトランジスタの実施の形態について説明をしたが、本発明はこれらに限定される必要はない。これらのバイポーラトランジスタをFETトランジスタやIGBTやその他のスイッチン

グ素子に置き換えることもできる。また、スイッチング信号を制御する回路として+5Vで動作するTTLあるいはCMOSレベルのデジタルICについて説明をしたが、これに限定される必要はない。+3Vで動作するデジタルICやその他の電源で動作するデジタルICについても適用することができる。また、マイクロプロセッサやゲートアレイやその他のLSIにより制御するようにしてもよい。さらに、駆動電圧として±30Vの例で説明をしたがこの値に限定される必要はない。使用するトランジスタ等の耐圧にもよるが±数100Vの駆動電圧にも適用できるし、また逆に±30V以下の駆動電圧にも適用できる。また、駆動電圧は必ずしもプラスマイナス対称の値を有する必要はなく、プラス側マイナス側がそれぞれ異なる値の電源であってもよい。

【0031】

【発明の効果】本発明は、以上説明したように構成しているので、次のような効果を奏する。請求項1の発明は、第3の電源と第4の電源の電位に基づく信号レベルを有するスイッチング信号により相補にスイッチング素子を開閉するようにしているので、出力に昇圧トランス

【図面の簡単な説明】

【図1】振動アクチュエータを駆動する駆動装置の実施の形態の構成図。

【図2】図1の振動アクチュエータの概略構成を説明する斜視図。

【図3】発振回路と移相回路において $\pi/2$ 位相が異なる2つの信号が生成される様子を説明するタイミングチャート。

【図4】ディレイ回路の動作を説明するタイミングチャート。

【図5】スイッチング回路の原理図。

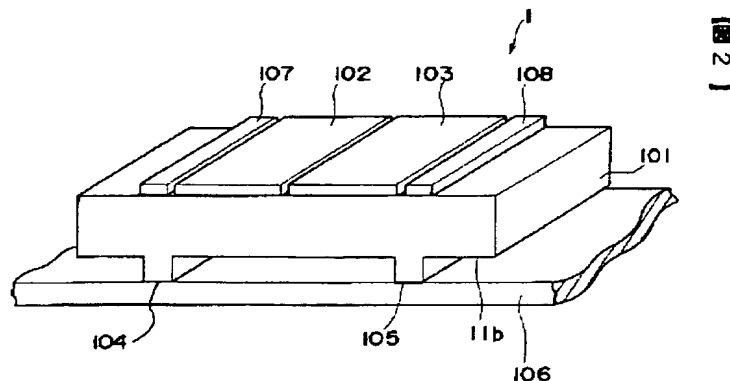
【図6】図5の原理図を実際の適用回路に近い形で表した回路図。

【図7】高電圧を直接半導体で制御する容量性負荷駆動装置の従来技術の図。

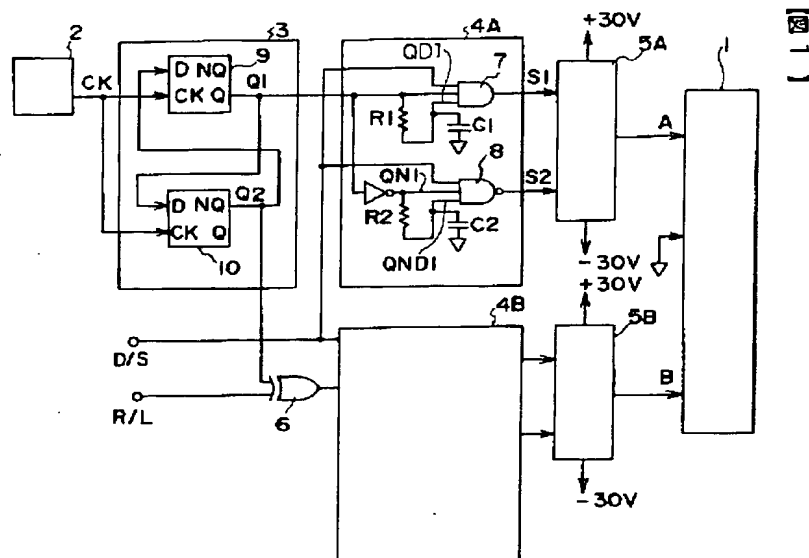
【符号の説明】

- 1 振動アクチュエータ
- 2 発振回路
- 3 移相回路
- 4 A、4 B ディレイ回路
- 5 A、5 B スwitching回路
- 6 XORゲート
- 7 ANDゲート
- 8 NANDゲート
- 9、10 Dタイプフリップフロップ
- C1、C2 コンデンサ
- R1～R7 抵抗
- TR1、TR4、TR5、TR6 PNPトランジスタ
- TR2、TR3、TR7、TR8 NPNトランジスタ
- 101 弾性体
- 102、103 圧電素子
- 104、105 駆動力取り出し部
- 106 相對運動部材
- 107、108 振動モニタ用圧電素子

【図2】

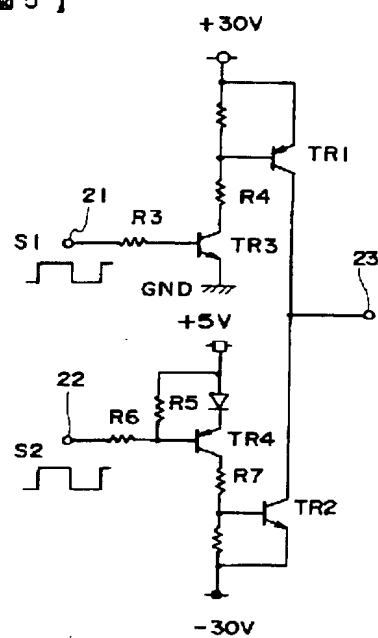


【図 1】



【図 5】

【図 5】

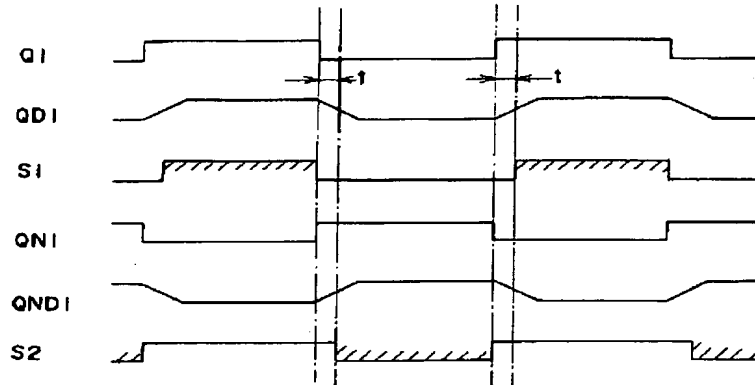


【図 3】



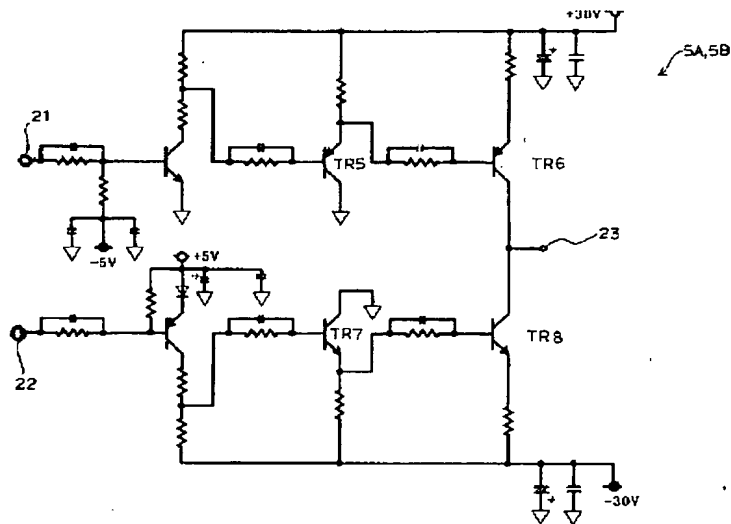
【図 3】

【図 4】



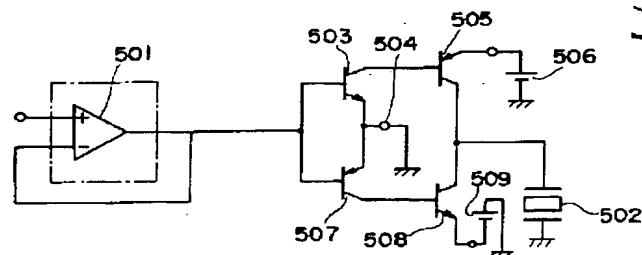
【図 4】

【図 6】



【図 6】

【図 7】



【図 7】